**Infra-estrutura de Hardware Lista de Exercícios – Hierarquia de Memória, E/S e Multicore**

1. Uma cache está sendo projetada para um computador com 232 bytes de memória, a qual terá 4K slots e usará blocos de 16 bytes. Calcule o número de bytes que a cache terá considerando as duas organizações: associativa e mapeamento direto.

2. Considere referências aos seguintes endereços de memória: 1,4,8,5,20,17,19,56, 9,11, 4,43,5,6,9, 17. Calcule o número de faltas e mostre o estado final da cache. Considere uma cache de 32 palavras e blocos de 4 palavras, com as configurações descritas abaixo. Compare os resultados. (a) - mapeamento direto (b) - two-way set associativa, (c) -completamente associativa.

Considere que a cache está inicialmente vazia e quando necessário use como política de substituição o algoritmo LRU.

3. Descreva e compare as principais políticas de escrita em memórias cache citando

vantagens e desvantagens de cada uma.

4. Descreva as principais técnicas de hardware para minimizar o tempo médio de acesso

em memórias cache fazendo uma análise comparativa entre as mesmas.

5. Detalhe os problemas de fragmentação interna e de fragmentação externa. Quais as

técnicas para minimizar cada um destes problemas?

6. Considere um sistema de memória virtual implementado como paginação com as

seguintes características:

a. espaço de endereçamento virtual de 16 G Bytes, b. memória principal de 32 M Bytes com páginas de 8 K bytes

Qual o layout do endereço virtual e das tabelas de tradução? Considere que cada entrada na tabela possui 1 bit de presença e um dirty bit. Explique como o endereço virtual é traduzido num endereço físico, neste caso.

7. Faça uma análise comparativa dos diferentes modos de tradução de endereços?

8. Considere que o sistema de memória da questão anterior possui uma memória cache de 4K slots com blocos de 16 bytes organizada como four-way associativa. Como a cache é acessada, qual o layout e o tamanho da mesma em bytes? (Assuma que cada slot possui um bit de validade e 1 dirty bit)

9. Para acelerar a tradução de endereços o sistema possui uma TLB two-way set associativa com 1024 entradas. Como se dá a tradução de endereços via TLB, qual o layout da TLB e quantos bytes a mesma ocupa?

10. Faça um estudo comparativo entre barramento síncrono e assíncrono.

11. O que é DMA e qual a sua utilização em um sistema computacional?

12. O que é RAID e qual a sua utilização em um sistema computacional?

13. Descreva quais os modelos de memória em processadores multi-cores citando

vantagens e desvantagens de cada um.

14. Quais os modelos de comunicação entre processos paralelos e quais modelos de

memória mais se adequam a cada modelo de comunicação?

15. O que é coerência de cache?

16. Quais as técnicas para resolver o problema da coerência de cache? Considere a

melhor técnica para cada modelo de memória.